



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11002797 A**(43) Date of publication of application: **06.01.99**

(51) Int. Cl.

**G02F 1/133****G02F 1/1343****G09G 3/36**(21) Application number: **09151883**(22) Date of filing: **10.06.97**(71) Applicant: **HITACHI LTD**(72) Inventor:  
**KOMURA SHINICHI**  
**SATO HIDEO**  
**MIKAMI YOSHIAKI**  
**TSUMURA MAKOTO**(54) **LIQUID CRYSTAL DISPLAY DEVICE**

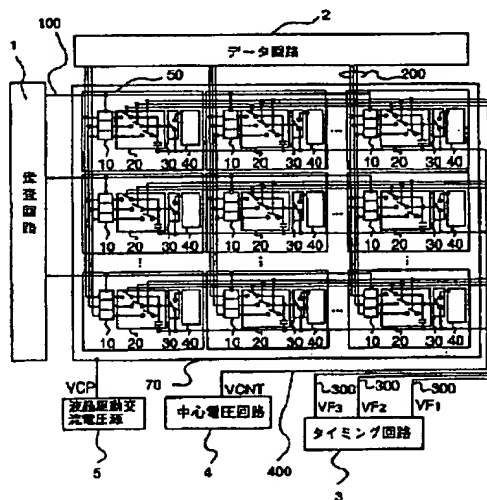
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To make circuit area small in the case of realizing multi-gradated display in a liquid crystal display device incorporating a memory and to reduce the production cost of the device by providing a picture element circuit at the intersection part of a scanning line and a data signal conductor group, arranging a common line and a timing line group in parallel with a scanning line and connecting them to the picture element circuit.

**SOLUTION:** This device is equipped with one substrate where the picture element circuits 50 are arranged lengthwise and crosswise in a matrix state, the other substrate having a transparent counter electrode 70, a scanning circuit 1 driving the scanning line 100 and a data circuit 2 driving the data signal conductor group 200. The scanning line 100 and the data signal conductor group 200 are orthogonally crossed with each other and the circuit 50 is provided at the intersection part between them. Furthermore, the common line 400 supplying center voltage and the timing line group 300 supplying a timing signal are arranged in parallel with the scanning line and connected to the circuit 50. Thus, the yield is improved because circuit constitution is

simplified in the case of realizing the multi-gradated display, and also the production cost is reduced.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-2797

(43) 公開日 平成11年(1999) 1月6日

(51) Int. Cl.<sup>8</sup>

G 0 2 F 1/133  
1/1343  
G 0 9 G 3/36

識別記号

5 5 0

F I

G 0 2 F 1/133 5 5 0  
1/1343  
G 0 9 G 3/36

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号

特願平9-151883

(22) 出願日

平成9年(1997) 6月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小村 真一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

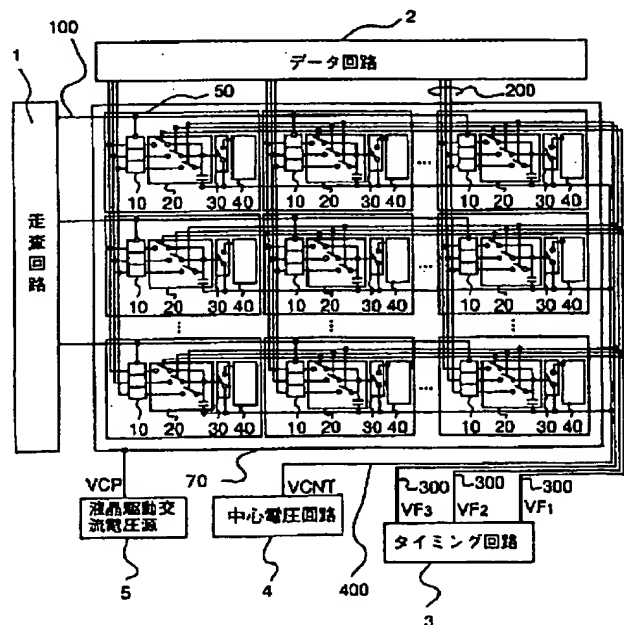
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】メモリを内蔵したアクティブマトリクス液晶表示装置において、多階調表示を実現する際に、回路面積を小さくし、歩留まりを向上させ、製造コストを低下させる。

【解決手段】一対の基板とその基板の間に液晶層を有する液晶表示装置において、基板の一方にマトリクス状に形成した走査線とデータ信号線群と、走査線とデータ信号線群との間に形成されたタイミング線群と、走査線とデータ信号線群とに囲まれた領域において、対応する走査線とデータ信号線群とに接続され、走査信号に応答してデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに保持されたデータを取り込み、タイミング信号に制御される複数のサンプルホールド回路と、そのサンプルホールド回路に制御されるスイッチング手段と、そのスイッチング手段に接続された画素電極とで構成する。

図 1



## 【特許請求の範囲】

【請求項 1】少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、

前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、

前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記領域に対応するタイミング線群のタイミング信号によって出力が制御されるサンプルホールド回路と、前記のサンプルホールド回路の出力によって制御される第 1 のスイッチング手段と、その第 1 のスイッチング手段に接続された画素電極とを有することを特徴とする液晶表示装置。

【請求項 2】少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、

前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、

前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記複数のタイミング線群のタイミング信号によって出力が制御される選択回路と、その選択回路の出力によって制御される第 1 のスイッチング手段と、その第 1 のスイッチング手段に接続された画素電極とを有することを特徴とする液晶表示装置。

【請求項 3】請求項 1 或いは 2 において、前記一对の基板の他方には前記画素電極に対向する対向電極が形成されることを特徴とする液晶表示装置。

【請求項 4】請求項 1 において、前記サンプルホールド回路には前記メモリに接続された複数の第 2 のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項 5】請求項 1 において、前記選択回路には前記メモリに接続された複数の第 2 のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項 6】請求項 1 或いは 2 において、前記複数の走査線の間には複数のコモン線が形成され、前記囲まれた領域に対応するコモン線には、前記第 1 のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項 7】請求項 1 或いは 2 において、前記対向電

極に印加される液晶駆動電圧の振幅は互いにほぼ等しく、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さが異なることを特徴とする液晶表示装置。

【請求項 8】請求項 1 或いは 2 において、前記対向電極に印加される液晶駆動電圧の振幅は互いに異なり、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さがほぼ等しいことを特徴とする液晶表示装置。

10 【請求項 9】請求項 1 或いは 2 において、前記対向電極に印加される液晶駆動電圧の波形が互いに等しく、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さが異なり、そのサブフレームの期間における電圧の実効値はそのサブフレームの期間に比例して変化することを特徴とする液晶表示装置。

20 【請求項 10】請求項 7 乃至 9 において、前記複数の走査線に複数のコモン線を有し、それらのコモン線及び前記液晶駆動電圧はそのサブフレームの最初に、前記液晶駆動電圧の中心電圧に等しくなる電圧が印加される期間を有することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はアクティブマトリクス液晶表示装置に係り、特にメモリ内蔵型のアクティブマトリクス液晶表示装置に関する。

## 【0002】

30 【従来の技術】従来のアクティブマトリクス駆動方式は、1990 年出版の小林駿介著、『カラー液晶ディスプレイ』（産業図書）に述べられているが、アクティブマトリクス型の液晶ディスプレイを駆動する際には走査線により 1 フレーム時間ごとに 1 回走査パルスが印加される。通常このパルスのタイミングはパネルの上側から下に向かって順にずれている。1 フレームの時間としては  $1/60$  秒がよく用いられる。代表的な画素構成である  $640 \times 480$  ドットのカラーパネルでは、1 フレーム時間に 480 回の走査が行われるので、走査パルスの時間幅は  $(1/60)/480 \text{ s} \approx 35 \mu \text{ s}$  となる。

40 【0003】一方、信号線には走査パルスが印加される 1 行分の画素の液晶に印加する液晶駆動電圧を走査パルスに同期して一斉に印加する。ゲートパルスを印加された選択画素では走査線に接続された TFT のゲート電極電圧が高くなり、TFT がオン状態になる。このとき、液晶駆動電圧は、TFT のソース、ドレイン間を経由して表示電極に印加され、表示電極と、対向基板上に形成した対向電極との間に形成される液晶容量と、画素に配置した負荷容量とを合わせた、画素容量を充電する。この動作を繰り返すことにより、パネル全面の画素容量には、フレーム時間ごとに繰り返し液晶に電圧が印加される。

【0004】この液晶印加電圧はフレーム時間ごとに極性を反転することで、交流化を行っている。この結果、通常60ヘルツのフレーム周波数のとき、液晶駆動周波数はこの1/2の周波数の30ヘルツとなる。この信号電極の極性は、上述の640×480ドットのパネルの場合、1走査期間の35μs毎に反転するので、信号電極の駆動周波数は $640 \times 60 / 2 \text{ Hz} = 14.4 \text{ kHz}$ と液晶駆動周波数の約500倍にもなる。すなわち、表示する画像が変わらない場合でも、信号電極線の電位を高速に変化させている。

【0005】

【発明が解決しようとする課題】消費電力は周波数に比例するため、従来技術では、多くの電力が消費される。そこで、本出願人は、特願平8-62996号及び特願平8-15979号により、消費電力を大幅に低減する液晶表示装置を提案している。この液晶表示装置は、各画素毎に表示データ保持回路、及び、保持されている表示データによって制御されるスイッチ手段を備えている。この装置によれば、液晶の一方の電極である対向電極に液晶を駆動するための交流電圧を印加し、他方の電極である表示電極は前記のスイッチ手段で制御する。つまり、スイッチ手段がオン状態のとき液晶には対向電極の交流電圧が印加され、スイッチ手段がオフ状態のとき液晶には電圧が印加されない。

【0006】この方法では、表示データの内容に変更がないときには、信号線あるいは走査線の電位を変化させる必要がなく、消費電力を低減することができる。

【0007】しかし、この方法で多階調表示するには、スイッチ手段と同数の容量を形成していたので回路領域が大きくなるとともに、配線パターンが複雑になり歩留まりが低下し、製造コストが増加するという問題が生じる。また、透過型にするには開口率が低下し、反射型にしても画素電極を小さくして基板表面に形成するか、厚い絶縁膜を形成して上層に形成するかを必要とする。

【0008】本発明の目的は、メモリを内蔵した液晶表示装置で多階調表示を実現する際に回路面積を小さくし、その製造コストを低下させることにある。

【0009】

【課題を解決するための手段】第1の構成として、少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記領域に対応するタイミング線群のタイミン

グ信号によって出力が制御されるサンプルホールド回路と、前記のサンプルホールド回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有する構成とする。

【0010】また、第2の構成としては、少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記複数のタイミング線群のタイミング信号によって出力が制御される選択回路と、その選択回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有する構成とする。

【0011】これらの構成に、上記他方の基板には画素電極に対向する対向電極を有する構成を加えてもよい。

【0012】第1の構成に、サンプルホールド回路にはメモリに接続された複数の第2のスイッチング手段が形成される構成としてもよい。

【0013】第2の構成に、選択回路にはメモリに接続された複数の第2のスイッチング手段が形成される構成としてもよい。

【0014】さらに、双方の構成の走査線の間には複数のコモン線が形成され、データ信号線群と走査線に囲まれた領域に対応するコモン線には、第1のスイッチング手段が接続される構成とする。

【0015】また、これらの液晶表示装置を駆動させる時に以下の駆動方法をとることが望ましい。

【0016】(1) 対向電極及び画素電極に印加される液晶駆動電圧の振幅を互いにほぼ等しくし、フレーム期間を複数のサブフレームに分割し、その分割したサブフレームの期間の長さを異ならせる。

【0017】(2) 対向電極及び画素電極に印加される液晶駆動電圧の振幅を互いに異ならせ、フレーム期間を複数のサブフレームに分割し、その分割したサブフレームの期間の長さをほぼ等しくさせる。

【0018】(3) 対向電極及び画素電極に印加される液晶駆動電圧の波形を互いに等しくさせ、フレーム期間を複数のサブフレームに分割し、その分割したサブフレームの期間の長さを異ならせ、そのサブフレームの期間における電圧の実効値をそのサブフレームの期間の2乗に比例して変化させる。

【0019】(4) 上記各サブフレームの最初に、液晶駆動電圧が中心電圧に等しくなる期間を設ける。

【0020】これらの駆動方法を具体的に説明すると、液晶駆動電圧は、 $n$ 個のサブフレームからなる1フレームの電圧波形が周期的に繰り返された交流電圧で、中心電圧との差の絶対値の各サブフレーム期間における時間積分が互いに相異なるようにする。さらに、各サブフレームの最初に液晶に印加される電圧が0となる期間（リセット期間）、すなわち、液晶駆動電圧が中心電圧に等しくなる期間を設ける。

【0021】画素駆動用に形成した第1のスイッチング手段は画素電極と液晶駆動電圧の中心電圧との接続を制御する。

【0022】タイミング信号は、 $i$ 番目のサブフレーム期間中において、メモリの $i$ ビットの表示データが“1”のとき、中心電圧と等しい電圧が画素電極に印加されるように、画素駆動に接続された第1のスイッチング手段を制御し、メモリの $i$ ビットの表示データが“0”のとき、画素電極に液晶駆動電圧と等しい電圧が印加されるように、画素駆動用の第1のスイッチング手段を制御する。

【0023】例えば、サブフレームの個数 $n=3$ の場合を例にとって、動作について説明する。

【0024】1フレームは第1、第2、第3のサブフレームに分割される。液晶駆動電圧は、中心電圧との差の絶対値の各サブフレーム期間における時間積分が $V_1$ 、 $V_2=2V_1$ 、 $V_3=4V_1$ となるように設定される。

【0025】メモリの内容が“011”のとき第1サブフレームでは画素駆動用の第1のスイッチング手段はOFF状態、第2サブフレームではON状態、第3サブフレームではON状態となる。従って、液晶には第2、第3サブフレームにだけ液晶駆動電圧と中心電圧の差が印加され、第1サブフレームには電圧は印加されない。すなわち、第1サブフレームでは電圧0、第2サブフレームでは電圧 $2V_1$ 、第3サブフレームでは $4V_1$ が印加される。従って、1フレームに印加される電圧の平均値は $(0+2V_1+4V_1)/3=2V_1$ となる。このように、 $n=3$ の場合には $2^n=2^3=8$ とおりの電圧を液晶に印加することが可能であり、8レベルの階調を表示することができる。

【0026】第3サブフレームから次のフレームの第1サブフレームへ切り替わるとき、画素駆動用の第1のスイッチング手段はON状態からOFF状態へと変化する。このとき、リセット期間がないと第1サブフレームにおいて第3サブフレームの電圧が保持されてしまい所望の駆動ができない。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。

【0028】少なくとも一方が透明な一対の基板と、それら一対の基板に液晶層を挟持し、その一対の基板の一方に走査回路に形成された複数の走査線と、それらの走

査線にマトリクス状に交差する $n$ 本のデータ信号線からなる複数のデータ信号線群と、それらの走査線とに $n$ 本のタイミング線からなる複数のタイミング線群とを形成する。また、走査線と $n$ 本のデータ信号線群とに囲まれた領域に、対応する走査線と $n$ 本のデータ信号線群とに接続され、走査線に印加される走査信号にตอบสนองして、 $n$ 本のデータ信号線群からの $n$ 個の表示データを取り込み保持するメモリと、そのメモリに接続されて、そのメモリに保持された表示データ信号を取り込み、保持し、タイミング線群のタイミング信号によって出力が制御されるサンプルホールド回路と、そのサンプルホールド回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極と、走査線を駆動する走査回路と、それらのデータ信号線群を駆動するデータ信号回路と、対向電極に液晶を駆動する液晶駆動交流電圧VCPを供給する液晶駆動交流電圧源と、タイミング信号VF<sub>1</sub>、VF<sub>2</sub>、VF<sub>3</sub>…VF<sub>n</sub>を発生するタイミング回路と、画素回路に液晶駆動交流電圧VCPの中心電圧VCNTを供給する中心電圧回路で構成される。

【0029】また、走査線とデータ信号線群を互いに直交させ、それらの交差部に上記画素回路を設ける。さらに、中心電圧を供給するコモン線とタイミング信号を供給するタイミング線群を走査線と平行に配置し、画素回路に接続させる。

【0030】画素回路は、データ信号線群に印加される $n$ 個の表示データVF<sub>1</sub>、VF<sub>2</sub>、VF<sub>3</sub>…VF<sub>n</sub>に対応した電圧VM<sub>1</sub>、VM<sub>2</sub>、VM<sub>3</sub>…VM<sub>n</sub>を格納するメモリと、そのメモリから電圧VM<sub>1</sub>、VM<sub>2</sub>、VM<sub>3</sub>…VM<sub>n</sub>を選択して取り出し、保持するサンプルホールド回路と、サンプルホールド回路によって保持された電圧VSによって制御され、画素電極とコモン線との接続状態を決める第1のスイッチング手段とからなる。サンプルホールド回路は、VF<sub>1</sub>＝“1”のとき、VM<sub>1</sub>をサンプルし、VS＝VM<sub>1</sub>として保持し、VF<sub>n</sub>＝“1”のとき、VM<sub>n</sub>をサンプルし、VS＝VM<sub>n</sub>として保持する。

【0031】メモリは、走査線の走査電圧VGの第1番目のサブフィールドT<sub>1</sub>での電圧がVG<sub>1</sub>＝“1”のとき、つまりメモリを動作させる電圧値をとるとき、データ信号線群のデータ信号電圧VD<sub>1</sub>をサンプリングし、VM<sub>1</sub>＝VD<sub>1</sub>としてメモリに保持する。メモリは、走査線の走査電圧VGが第 $n$ 番目のサブフィールドT<sub>n</sub>での電圧がVG<sub>n</sub>＝“1”のとき、データ信号線群のデータ信号電圧VD<sub>n</sub>をサンプリングし、VM<sub>n</sub>＝VD<sub>n</sub>として保持する。

【0032】サンプリングホールド回路は、第1番目のサブフィールドT<sub>1</sub>でのタイミング線群の電圧VF<sub>1</sub>がVF<sub>1</sub>＝“1”のとき、つまりメモリに印加する電圧がON状態となる電圧値をとるとき、メモリに保持された

電圧  $VM_1$  をサンプリングし、 $VS=VM_1$  として保持する。

【0033】サンプリングホールド回路は、第  $n$  番目のサブフィールド  $T_n$  でのタイミング線群の電圧  $VF_n$  が  $VF_n = "1"$  のとき、つまりメモリに印加する電圧が ON 状態となる電圧値をとるとき、メモリに保持された電圧  $VM_1$  をサンプリングし、 $VS=VM_n$  として保持する。

【0034】第 1 のスイッチング手段はサンプリングホールド回路に保持された電圧  $VS$  が  $VS = "1"$  のとき

10

に ON 状態となり、画素電極とコモン線を接続し、 $VS = "0"$  のときに OFF 状態となり、画素電極とコモン線の接続を開放する。

【0035】このときのサンプルホールド回路としては  $n$  個の第 2 のスイッチング手段と、少なくとも 1 つの第 1 の容量で実現でき、メモリは  $n$  個の第 3 のスイッチング手段と、同数の第 2 の容量で構成することができる。

【0036】また、上述の第 1、第 2 の容量及び第 1 のスイッチング手段をそれぞれコモン線に接続するか、接地させるとよい。

【0037】また、サンプルホールド回路の代わりに AND 回路などの選択回路を用いることも考えられる。

【0038】＜実施例 1＞図 1 は本発明における一実施例の液晶表示装置のブロック図を示したものである。

【0039】本液晶表示装置は、画素回路 50 を縦横にマトリクス状に配置した一方の基板と、透明な対向電極 70 を有する他方の基板と、両基板間に挿入した液晶層と、走査線 100 を駆動する走査回路 1 と、データ信号線群 200 を駆動するデータ回路 2 と、対向電極 70 に液晶を駆動する液晶駆動交流電圧  $VCP$  を供給する液晶駆動交流電圧源 5 と、タイミング信号  $VF_1$ 、 $VF_2$ 、 $VF_3$  を発生するタイミング回路 3 と、上記画素回路 50 に上記液晶駆動交流電圧  $VCP$  の中心電圧  $VCNT$  を供給する中心電圧回路 4 で構成される。

【0040】また、走査線 100 とデータ信号線群 200 は互いに直行し、それらの交差部には上記画素回路 50 を設ける。さらに、中心電圧を供給するコモン線 400 とタイミング信号を供給するタイミング線群 300 が走査線と平行に配置され、画素回路 50 に接続されている。

【0041】図 2 は本発明におけるデータ信号線群に 3 個の表示データを印加する場合の液晶表示装置の画素回路 50 の構成を示すブロック図である。画素回路 50 は、データ信号線群に印加される 3 個の表示データ  $VF_1$ 、 $VF_2$ 、 $VF_3$  に対応した電圧  $VM_1$ 、 $VM_2$ 、 $VM_3$  を格納したメモリ 10 と、電圧  $VM_1$ 、 $VM_2$ 、 $VM_3$  を選択して取り出し、保持するサンプルホールド回路 20 と、サンプルホールド回路 20 によって保持された電圧  $VS$  によって制御され、画素電極 40 とコモン線 400 との接続状態を決める第 1 のスイッチング手段 3

0 からなる。サンプルホールド回路 20 は、 $VF_1 = "1"$  のとき、 $VM_1$  をサンプルし、 $VS=VM_1$  として保持し、 $VF_2 = "1"$  のとき、 $VM_2$  をサンプルし、 $VS=VM_2$  として保持し、 $VF_3 = "1"$  のとき、 $VM_3$  をサンプルし、 $VS=VM_3$  として保持する。

【0042】図 3 は図 2 のブロック図で示した画素回路 50 を実現する回路図である。メモリ 10 は第 3 のスイッチング手段としての 3 組のメモリ  $TFT_{11}$ 、 $12$ 、 $13$  と第 2 の容量としてのメモリ容量 14、15、16 からなる。サンプルホールド回路 20 は、第 2 のスイッチング手段としての 3 個のサンプリング  $TFT_{21}$ 、 $22$ 、 $23$  と第 1 の容量としての 1 個のホールド容量 24 からなる。また、画素電極の電圧を制御する第 1 のスイッチング手段 30 としてスイッチ  $TFT_{31}$  を形成した。ただし、第 1、第 2、第 3 のスイッチング手段として、本実施例では  $TFT$  を利用しているが、スイッチング機能を有するものであればかまわない。また、第 1、第 2 の容量もコンデンサ等の記憶機能を有する素子であればかまわない。

20

【0043】メモリ  $TFT_{11}$  は、走査線 100 の走査電圧  $VG$  が第 1 番目のサブフィールド  $T_1$  での  $VG_1 = "1"$  のとき、つまりメモリ  $TFT_{11}$  を動作させる電圧値をとるとき、データ信号線群 200 のデータ信号電圧  $VD_1$  をサンプリングし、 $VM_1 = VD_1$  としてメモリ容量 14 に保持する。

【0044】メモリ  $TFT_{12}$  は、走査線 100 の走査電圧  $VG$  が第 2 番目のサブフィールド  $T_2$  での  $VG_2 = "1"$  のとき、データ信号線群 200 のデータ信号電圧  $VD_2$  をサンプリングし、 $VM_2 = VD_2$  としてメモリ容量 15 に保持する。

【0045】メモリ  $TFT_{13}$  は、走査線 100 の走査電圧  $VG$  が第 3 番目のサブフィールド  $T_3$  での  $VG_3 = "1"$  のとき、データ信号線群 200 のデータ信号電圧  $VD_3$  をサンプリングし、 $VM_3 = VD_3$  としてメモリ容量 16 に保持する。

【0046】サンプリング  $TFT_{21}$  は、タイミング線群 300 の電圧  $VF_1$  が  $VF_1 = "1"$  のとき、つまりメモリ  $TFT_{11}$  が ON 状態を動作させる電圧値をとるとき、メモリ容量 14 に保持された電圧  $VM_1$  をサンプリングし、 $VS=VM_1$  としてホールド容量 24 に保持する。サンプリング  $TFT_{22}$  は、タイミング線群 300 の電圧  $VF_2$  が  $VF_2 = "1"$  のとき、つまりメモリ  $TFT_{12}$  を動作させる電圧値をとるとき、メモリ容量 15 に保持された電圧  $VM_2$  をサンプリングし、 $VS=VM_2$  としてホールド容量 24 に保持する。サンプリング  $TFT_{23}$  は、タイミング線群 300 の電圧  $VF_3$  が  $VF_3 = "1"$  のとき、つまりメモリ  $TFT_{13}$  を動作させる電圧値をとるとき、メモリ容量 16 に保持された電圧  $VM_3$  をサンプリングし、 $VS=VF_3$  としてホールド

40

50

ド容量24に保持する。

【0047】スイッチTFT31はホールド容量24に保持された電圧VSがVS="1"のときにON状態となり、画素電極40とコモン線400を接続し、VS="0"のときにOFF状態となり、画素電極40とコモン線400の接続は開放される。

【0048】以上のように構成した本発明の第1の実施例の動作を、図4に示す第1の実施例を動作させる第1の信号波形のタイミング図で詳細に説明する。図4に示した信号は、タイミング回路の出力VF<sub>1</sub>、VF<sub>2</sub>、VF<sub>3</sub>、メモリ容量14、15、16に保持された電圧VM<sub>1</sub>、VM<sub>2</sub>、VM<sub>3</sub>、ホールド容量24に保持された電圧VS、交流電圧回路5から供給される対向電極70の液晶駆動交流電圧VCP、画素電極40の画素電極駆動電圧VPX、液晶印加電圧VLCは、 $VLC = VCP - VPX$ の式で表せる。交流電圧回路の出力VCPは、中心電圧回路の電圧VCNTを基準とした交流電圧であり、その周期である1フレームの期間T<sub>0</sub>は、表示時のフリッカ、消費電力などの条件から決定されるが、ここでは、 $T_0 = 1/60s = 16.6ms$ と設定した。

【0049】1フレームはT<sub>1</sub>の期間の第1サブフレーム、T<sub>2</sub>の期間の第2サブフレーム、T<sub>3</sub>の期間の第3サブフレームに分割される。ここで、 $T_2 = 2T_1$ 、 $T_3 = 4T_1$ と設定した。

【0050】タイミング回路の出力VF<sub>1</sub>、VF<sub>2</sub>、VF<sub>3</sub>の周期はT<sub>0</sub>であり、VF<sub>1</sub>は第1サブフレームの最初の期間t<sub>0</sub>に"1"となり、VF<sub>2</sub>は第2サブフレームの最初の期間t<sub>0</sub>に"1"となり、VF<sub>3</sub>は第3サブフレームの最初の期間t<sub>0</sub>に"1"となる。ここで、t<sub>0</sub>はT<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>にくらべ十分に短い時間である。

【0051】対向電極70に印加される電圧VCPは、中心電圧VCNTに対する振幅値が±V<sub>0</sub>で、各サブフレーム期間中に極性が反転する交流電圧で、かつ、VF<sub>1</sub>、VF<sub>2</sub>あるいはVF<sub>3</sub>が"1"の状態のときに中心電圧値VCNTと等しくなるように設定される。

【0052】図4では、メモリ10の出力VM<sub>3</sub>、VM<sub>2</sub>、VM<sub>1</sub>が"110"から"000"に変化する場合を例にとっている。メモリ10の出力VM<sub>1</sub>、VM<sub>2</sub>、VM<sub>3</sub>が変化するタイミングは、メモリ10の書き込み動作に依存するため、VF<sub>1</sub>、VF<sub>2</sub>、VF<sub>3</sub>やVCPとは特に、同期させる必要はない。

【0053】最初、第1サブフレームにおいては、メモリ10の出力VM<sub>1</sub>は"0"なので、VS=VM<sub>1</sub>=  
"0"が保持され、スイッチTFT31はOFF状態となる。従ってこの期間に液晶に印加される電圧はVLC=0である。第2サブフレームにおいては、メモリ10の出力VM<sub>2</sub>は"1"なので、VS=VM<sub>2</sub>=  
"1"が保持され、スイッチTFT31はON状態となる。従ってこの期間に液晶に印加される電圧はVLC=±V<sub>0</sub>で

ある。第3サブフレームにおいては、メモリ10の出力VM<sub>3</sub>は"1"なので、VS=VM<sub>3</sub>=  
"1"が保持され、スイッチTFT31はON状態となる。従ってこの期間に液晶に印加される電圧はVLC=±V<sub>0</sub>である。従って、最初の1フレームに液晶に印加される電圧の絶対値の平均値は $VAV = (V_0 \times T_3 + V_0 \times T + 0 \times T_1) / T_0 = 6V_0 \times T_1 / T_0 (= 6\alpha)$ となる。この方法によれば、メモリ容量14、15、16に保持されているn=3個の表示データの組み合わせによって、"000"のときにVAV=0、"001"のときにVAV=α、  
"010"のときにVAV=2α、"011"のときにVAV=3α、"100"のときにVAV=4α、"101"のときにVAV=5α、"110"のときにVAV=6α、  
"111"のときにVAV=7αの2<sup>n</sup>=2<sup>3</sup>=8とおりの平均電圧を液晶に印加することが可能であり、これにより階調を表示できる。

【0054】1番目のフレームの第3サブフレームから2番目のフレームの第1サブフレームに切り替わるとき、VS="1"からVS="0"に変化し、スイッチTFT31はON状態からOFF状態へ切り替わる。例えばこのタイミングに液晶に電圧が印加されていれば、スイッチTFT31がOFF状態へ切り替わったときこの電圧は保持されてしまい、2番目のフレームの第1サブフレームの期間に液晶に印加される電圧を所望の0とすることができない。本発明では、VF<sub>1</sub>、VF<sub>2</sub>、または、VF<sub>3</sub>が"1"となり、VSが変化するときは、VCP=VCNT、すなわち、液晶に電圧が印加されないように設定してあるので、2番目のフレームの第1サブフレームの期間に液晶に印加される電圧を所望の0とすることができ

【0055】図4では、2番目のフレーム中の第3フレームの期間にVM<sub>2</sub>及びVM<sub>3</sub>が"1"から"0"に切り替わっている。このとき、VF<sub>1</sub>、VF<sub>2</sub>、及び、VF<sub>3</sub>=  
"0"であり、サンプリングTFT21、22、23はOFF状態にあるため、VM<sub>2</sub>及びVM<sub>3</sub>の変化はVSに影響を及ぼさない。すなわち、スイッチTFT31の状態は変化せず、液晶に影響を及ぼすことはない。これらの変化は次のフレームにて、VF<sub>2</sub>あるいはVF<sub>3</sub>が"1"となって初めて液晶に影響を及ぼす。このように、メモリ10とスイッチ31が分離しているため、メモリ10の内容は液晶に印加される電圧と非同期で書き込むことができる。

【0056】メモリの状態が"000"となった3番目のフレーム以後は、スイッチTFT31は常にOFF状態であり、VLC=0となる。

【0057】このように構成すると、メモリ容量14、15、16によって、VM<sub>1</sub>、VM<sub>2</sub>、VM<sub>3</sub>が良好に保持されるならば、表示画像が変化しないかぎり、メモリの内容を書き換える必要はない。つまり、本発明を用いることによって、メモリ内蔵型の液晶表示装置で2<sup>n</sup>レ



ベルの階調表示が可能になり、さらに小型で低消費電力の液晶表示装置を提供することができる。

【0058】各サブフレーム毎に、メモリ容量14, 15, 16とホールド容量24の間で電荷を移動させることによってVSを変化させているため、 $VM_1$ ,  $VM_2$ ,  $VM_3$ の電圧レベルは次第に平均化されてしまうことや、メモリTFT11, 12, 13のリークによって、 $VM_1$ ,  $VM_2$ ,  $VM_3$ の電圧レベルが低下してしまうが、このことを防ぐためには、メモリ容量14, 15, 16として大きな容量を、ホールド容量24として小さな容量を用いるようにすればよい。また、表示画像が変化しないときでも、一定のフレーム数毎若しくは一定の電圧以下になったときにメモリの表示データを書き直してもよい。さらに、この書き直しによって消費電力が増大しない程度に書き直せば小型化だけでなく、低消費電力の効果も維持できる。

【0059】図5は、第1の実施例を動作させる第2の信号波形を示すタイミング図である。

【0060】 $VF_1$ ,  $VF_2$ ,  $VF_3$ ,  $VM_1$ ,  $VM_2$ ,  $VM_3$ ,  $VS$ は図4に示す第1の信号波形と同じであるが、VCPが異なる。第1の信号波形ではVCPはサブフレーム期間に極性が反転した対称な波形であり、サブフレーム期間において直流成分のない交流波形であったが、第2の信号波形ではVCPはサブフレーム期間においては極性を反転せず、従って、第1, 第2, 第3サブフレームからなる1フレーム期間では直流成分を含む波形である。この直流成分を補償するために図5に示すようにフレーム毎に極性を反転させ、2フレームの期間を1周期とした直流成分のない交流波形となっている。この第2の信号波形を用いれば、第1の信号波形に比べVCPの周波数を低減することができるため、さらに消費電力を低減することができる。

【0061】図6は、第1の実施例を動作させる第3の信号波形を示すタイミング図である。

【0062】1フレーム期間 $T_0$ は、第1及び第2の信号波形と同様に、 $T_1$ の期間の第1サブフレーム、 $T_2$ の期間の第2サブフレーム、 $T_3$ の期間の第3サブフレームに分割されるが、第1及び第2の信号波形と異なり、 $T_1=T_2=T_3=T_0/3$ である。VCPの振幅は第1サブフレームにおいて $\pm V_1$ 、第2サブフレームにおいて $\pm V_2$ 、第3サブフレームにおいて、 $\pm V_3$ に設定される。図6では、 $V_2=2V_1$ ,  $V_3=4V_1$ と設定した。また、VCPを第2の信号波形と同様に2フレームを1周期とする波形に設定したが、第1の信号波形と同様に、サブフレーム期間に極性が反転する1フレームを1周期とする波形を用いても同等の効果が得られる。VCPをこのような波形とすることによって、1フレームに液晶に印加される電圧の絶対値の平均値VAVは、メモリ容量14, 15, 16に保持されている $n=3$ 個の表示データの組み合わせによって、“000”のとき

に $VAV=0$ 、“001”のときに $VAV=(0 \times V_3 + 0 \times V_2 + 1 \times V_1)/3 = V_1/3 (= \beta)$ 、“010”のときに $VAV=(0 \times V_3 + 1 \times V_2 + 1 \times V_0)/3 = 2V_1/3 = 2 \times \beta = 2\beta$ となる。同様にして、“011”のときに $VAV=3 \times \beta = 3\beta$ 、“100”のときに $VAV=4 \times \beta = 4\beta$ 、“101”のときに $VAV=5 \times \beta = 5\beta$ 、“110”のときに $VAV=6 \times \beta = 6\beta$ 、“111”のときに $VAV=7 \times \beta = 7\beta$ の $2^n = 2^3 = 8$ とおりの平均電圧VAVを液晶に印加することが可能であり、これにより階調を表示できる。第1, 第2の信号波形では、表示データの個数 $n$ が多くなるとサブフレーム期間の最小値が急増するが、第3の信号波形ではサブフレーム期間はすべて同じであるため、第1, 第2の信号波形に比べてサブフレーム期間の最小値を長くすることができる。すなわち、VCPの最も高い周波数成分は第1, 第2の信号波形に比べ低くなり、従って、消費電力を低減できる。

【0063】図7は、第1の実施例を動作させる第4の信号波形を示すタイミング図である。

【0064】 $VF_1$ ,  $VF_2$ ,  $VF_3$ ,  $VM_1$ ,  $VM_2$ ,  $VM_3$ ,  $VS$ は図6に示す第3の信号波形と同じであるが、VCPが異なる。第3の信号波形ではVCPの振幅をサブフレーム毎で変えることによって、サブフレーム期間における電圧の絶対値を変えていたが、第4の信号波形では、VCPの振幅の代わりにパルス幅を変化させてサブフレーム期間における電圧の絶対値を変えている。図7では第1, 第2, 第3のサブフレーム期間におけるVCPのパルス幅を $t_1$ ,  $t_2=2 \times t_1 = 2t_1$ ,  $t_3=4 \times t_1 = 4t_1$ と設定している。VCPをこのような波形とすることによって、1フレームに液晶に印加される電圧の絶対値の平均値VAVは、メモリ容量14, 15, 16に保持されている $n=3$ 個の表示データの組み合わせによって、“000”のときに $VAV=0$ 、“001”のときに $VAV=(0 \times t_3 + 0 \times t_2 + V_0 \times t_1)/T_0 = V_0 \times t_1/T_0 (= \gamma)$ 、“010”のときに $VAV=(0 \times t_3 + V_0 \times t_2 + 0 \times t_1)/3 = V_0 \times 2 \times t_1/T_0 = 2\gamma$ となる。同様にして、“011”のときに $VAV=3\gamma$ 、“100”のときに $VAV=4\gamma$ 、“101”のときに $VAV=5\gamma$ 、“110”のときに $VAV=6\gamma$ 、“111”のときに $VAV=7\gamma$ の $2^n = 2^3 = 8$ とおりの平均電圧VAVを液晶に印加することが可能であり、これにより階調を表示できる。第4の信号波形ではVCPは多数の電圧レベルからなるが、第5の信号波形では表示データの個数 $n$ が増えても、VCPは $VCNT+V_0$ ,  $VNCT$ ,  $VNCT-V_0$ の3レベルからなるため、VCPを出力する液晶駆動交流電圧源を簡単な構成とすることができる。

【0065】本実施例では、特に8階調を表示する構成を示したが、 $2^n$ レベルの階調を表示したいときは、デ



ータ配線の本数とメモリ容量（メモリTFTの個数及びメモリ容量）とサンプルホールド回路（サンプリングTFTの個数、ホールド容量）とタイミング線の本数を $n$ 倍に変更する。また、駆動方法も、サブフィールドを均等に $n$ 個に分割して、 $n$ レベルの電圧を設定するか、最小のサブフィールド期間の2乗に比例させた時間で分割して、振幅の等しい電圧を印加する等、上記の3で行った処理を $n$ にすればよい。

【0066】<実施例2>図8は本発明における第2の実施例の液晶表示装置のブロック図を示したものである。本液晶表示装置は、画素回路50を縦横にマトリクス状に配置した一方の基板と、透明な対向電極70を有する他方の基板と、両基板間に挿入した液晶層と、走査線100を駆動する走査回路1と、データ信号線群200を駆動するデータ回路2と、対向電極70に液晶を駆動する交流電圧を供給する液晶駆動交流電圧源5と、タイミング信号 $VF_0$ ,  $VF_1$ ,  $VF_2$ ,  $VF_3$ を発生するタイミング回路3と、画素回路50に交流電圧の中心電圧 $VCNT$ を供給する中心電圧回路4で構成される。走査線100とデータ信号線群200は互いに直行し、それらの交差部には画素回路50が設けられる。さらに、中心電圧を供給するコモン線400とタイミング信号を供給するタイミング線群300が走査線と平行に配置され、画素回路50に接続されている。

【0067】図9は本発明における第2の実施例の液晶表示装置の画素回路50の構成を示すブロック図である。画素回路50は、 $n=3$ 個の表示データに対応した電圧 $VM_1$ ,  $VM_2$ ,  $VM_3$ を格納したメモリ10と、 $VM_1$ ,  $VM_2$ ,  $VM_3$ のいずれかを選択し、 $VS$ として出力する実施例1のサンプルホールド回路に変え、選択回路80と、 $VS$ 及び $VF_0$ によって制御され、画素電極40とコモン線400との接続状態を決める第1のスイッチング手段30であるコモン線若しくは接地との接続関係をスイッチングするスイッチ90とからなる。選択回路80は、 $VF_1 = "1"$ のとき、 $VM_1$ を選択し、 $VS = VM_1$ を出力し、 $VF_2 = "1"$ のとき、 $VM_2$ を選択し、 $VS = VM_2$ を出力し、 $VF_3 = "1"$ のとき、 $VM_3$ を選択し、 $VS = VM_3$ を出力する。第1のスイッチング手段30は選択回路80の出力 $VS$ が $VS = "1"$ かまたはタイミング信号 $VF_0$ が $VF_0 = "1"$ のときに画素電極40とコモン線400とを接続し、 $VS = "0"$ 、かつ、 $VF_0 = "0"$ のときに画素電極40とコモン線400の接続を開放する。

【0068】図10は図9のブロック図で示した画素回路50を実現する回路図である。メモリ10は $n=3$ 組のメモリTFT11, 12, 13とメモリ容量14, 15, 16からなる。選択回路80は、第2のスイッチング手段として、 $n=3$ 組 $\times 2$ 個 $=6$ 個のスイッチTFT81, 82, 83, 84, 85, 86からなる。

【0069】この実施例では、実施例1に示すサンプル

ホールド回路20の第2のスイッチング手段の $VF$ に応じたスイッチ機能は選択回路80が行い、 $VF_0$ に応じた第1のスイッチング手段30のスイッチ機能はスイッチTFT91により構成される。

【0070】メモリTFT11は、走査線100の電圧 $VG$ が第1番目のサブフィールド $T_1$ での $VG_1 = "1"$ のとき、データ信号線群200の電圧 $VD_1$ をサンプリングし、 $VM_1 = VD_1$ としてメモリ容量14に保持する。

10 【0071】メモリTFT12は、走査線100の電圧 $VG$ が第2番目のサブフィールド $T_2$ での $VG_2 = "1"$ のとき、データ信号線群200の電圧 $VD_2$ をサンプリングし、 $VM_2 = VD_2$ としてメモリ容量15に保持する。

【0072】メモリTFT13は、走査線100の電圧 $VG$ が第3番目のサブフィールド $T_3$ での $VG_3 = "1"$ のとき、データ信号線群200の電圧 $VD_3$ をサンプリングし、 $VM_3 = VD_3$ としてメモリ容量16に保持する。

20 【0073】スイッチTFT81は、メモリ容量14に保持された電圧 $VM_1$ が $VM_1 = "1"$ のときにON状態となり、スイッチTFT84はタイミング線群300の電圧 $VF_1$ が $VF_1 = "1"$ のときにON状態となる。従って、 $VM_1 = "1"$ 、かつ、 $VF_1 = "1"$ のとき、画素電極40はコモン線400に接続される。スイッチTFT82は、メモリ容量15に保持された電圧 $VM_2$ が $VM_2 = "1"$ のときにON状態となり、スイッチTFT85はタイミング線群300の電圧 $VF_2$ が $VF_2 = "1"$ のときにON状態となる。従って、 $VM_2 = "1"$ 、かつ、 $VF_2 = "1"$ のとき、画素電極40はコモン線400に接続される。スイッチTFT83は、メモリ容量16に保持された電圧 $VM_3$ が $VM_3 = "1"$ のときにON状態となり、スイッチTFT86はタイミング線群300の電圧 $VF_3$ が $VF_3 = "1"$ のときにON状態となる。従って、 $VM_3 = "1"$ 、かつ、 $VF_3 = "1"$ のとき、画素電極40はコモン線400に接続される。

30 【0074】スイッチTFT91は、タイミング線群300の電圧 $VF_0$ が $VF_0 = "1"$ のときにON状態となり、画素電極40とコモン線400は接続される。

40 【0075】以上のように構成した本発明の第2の実施例の動作を、図11に示す信号波形のタイミング図で詳細に説明する。図11に示した信号は、タイミング回路の出力 $VF_0$ ,  $VF_1$ ,  $VF_2$ ,  $VF_3$ , メモリ容量14, 15, 16に保持された電圧 $VM_1$ ,  $VM_2$ ,  $VM_3$ , 交流電圧回路5から供給される対向電極70の電圧 $VCP$ , 画素電極の電圧 $VPX$ , 液晶印加電圧 $VLC = VCP - VPX$ である。交流電圧回路の出力 $VCP$ は、中心電圧回路の電圧 $VCNT$ を基準とした交流電圧である。

【0076】1フレームの期間 $T_0$ は、 $T_1$ の期間の第1サブフレーム、 $T_2$ の期間の第2サブフレーム、 $T_3$ の期間の第3サブフレームに分割される。ここで、 $T_2 = 2T_1$ 、 $T_3 = 4T_1$ と設定した。

【0077】タイミング回路の出力 $VF_0$ 、 $VF_1$ 、 $VF_2$ 、 $VF_3$ の周期は $T_0$ であり、 $VF_0$ は第1サブフレームの最初の期間 $t_0$ 、第2のサブフレームの最初の期間 $t_0$ 、及び、第3のフレームの最初の期間 $t_0$ に“1”となり、 $VF_1$ は第1サブフレームの期間に“1”となり、 $VF_2$ は第2サブフレームの期間に“1”となり、 $VF_3$ は第3サブフレームの期間に“1”となるように設定される。ここで、 $t_0$ は $T_1$ 、 $T_2$ 、 $T_3$ にくらべ十分に短い時間である。

【0078】対向電極70に印加される電圧 $V_{CP}$ は、中心電圧 $V_{CNT}$ に対する振幅値が $\pm V_0$ で、周期が2フレームである交流電圧で、かつ、 $VF_0$ が“1”の状態のときに中心電圧値 $V_{CNT}$ と等しくなるように設定される。

【0079】図11では、メモリ10の出力 $VM_3$ 、 $VM_2$ 、 $VM_1$ が“110”から“000”に変化する場合を例にとっている。メモリ10の出力 $VM_1$ 、 $VM_2$ 、 $VM_3$ が変化するタイミングは、メモリ10の書き込み動作に依存するため、 $VF_1$ 、 $VF_2$ 、 $VF_3$ や $V_{CP}$ とは同期しない

第1サブフレームの期間 $t_0$ において、 $VF_0 = “1”$ のためスイッチ $TFT91$ はON状態にあり、画素電極40はコモン線400に接続される。この時、 $V_{CP} = V_{CNT}$ であり、液晶に印加される電圧は $V_{LC} = 0$ である。続く第1サブフレーム中の $(T_1 - t_0)$ の期間においては、スイッチ $TFT81$ 、85、86、91はOFF状態であり、画素電極40とコモン線400との接続は開放され、 $V_{LC} = 0$ が保持される。続く第2フレームの最初の期間 $t_0$ において、 $VF_0 = “1”$ のためスイッチ $TFT91$ はON状態にあり、画素電極40はコモン線400に接続される。この時、 $V_{CP} = V_{CNT}$ であり、液晶に印加される電圧は $V_{LC} = 0$ である。続く第2サブフレーム中の $(T_2 - t_0)$ の期間においては、 $VF_2 = “1”$ 、かつ、 $VM_2 = “1”$ であり、画素電極40はコモン線400に接続される。従って、液晶には $V_{CP}$ と画素電極の電圧 $V_{PX} = V_{CNT}$ の差電圧 $V_{LC} = V_{CP} - V_{PX} = -V_0$ が印加される。続く第3サブフレームの最初の期間 $t_0$ において、 $VF_0 = “1”$ のためスイッチ $TFT91$ はON状態にあり、画素電極40はコモン線400に接続される。この時、 $V_{CP} = V_{CNT}$ であり、液晶に印加される電圧は $V_{LC} = 0$ である。続く第3サブフレーム中の $(T_3 - t_0)$ の期間においては、 $VF_3 = “1”$ 、かつ、 $VM_3 = “1”$ であり、画素電極40はコモン線400に接続される。従って、液晶には $V_{CP}$ と画素電極の電圧 $V_{PX} = V_{CNT}$ の差電圧 $V_{LC} = V_{CP} - V_{PX} = V_0$ が印加され

る。従って、1番目の1フレームに液晶に印加される電圧の絶対値の平均値は $VAV = (0 \times T_1 + V_0 \times T_2 + V_0 \times T_3) / T_0 = 6V_0 \times T_1 / T_0 (= 6\alpha)$ となる。この方法によれば、第1の実施例と同様に $2^n = 2^3 = 8$ とおりの平均電圧を液晶に印加することが可能であり、これにより階調を表示できる。

【0080】図11では、2つめのフレーム中の第3フレームの期間に $VM_2$ 及び $VM_3$ が“1”から“0”に切り替わっている。このとき、スイッチ $TFT83$ の状態がONからOFFへ切り替わるため、画素電極40はコモン線400に接続された状態から開放された状態に変わる。このとき、液晶に印加されている電圧 $V_{LC} = -V_0$ は保持される。例えば、これに続く3つめのフレームの第1サブフレームにおいて $VF_0 = “1”$ となる期間 $t_0$ がなかった場合、この第1サブフレームにおいて画素電極40とコモン線400の接続は開放されたままであり、 $V_{LC} = -V_0$ が保持されたままとなり、所望の $V_{LC} = 0$ は印加されない。しかしながら、本実施例では、サブフレームの最初に必ず $VF_0 = “1”$ となる期間 $t_0$ を設け、かつ、 $t_0$ の期間において $V_{LC} = 0$ となるように $V_{CP} = V_{CNT}$ と設定してあるのでこのような不具合は起こらず、所望の電圧を液晶に印加することが可能である。

【0081】メモリの状態が“000”となった3つめのフレーム以後は、スイッチ $TFT81$ 、82、83は常にOFF状態であり、 $V_{LC} = 0$ となる。

【0082】以上のように、本実施例を用いることによって、 $n$ 個の表示データを保持したメモリにより、 $2^n$ レベルの階調表示が可能な、低消費電力液晶表示装置を提供することができる。

【0083】さらに、第1の実施例における第1の信号波形と同様に $V_{CP}$ を周期が1フレームである信号電圧波形を用いても同等の効果が得られる。

【0084】さらに、第1の実施例における第3の信号波形と同様にサブフレームの周期を同一( $T_1 = T_2 = T_3$ )とし、 $V_{CP}$ の振幅をサブフレーム毎に変えても同等の効果が得られる。また、この場合には、第1の実施例における第4の信号波形と同様に、 $V_{CP}$ の振幅の代わりにパルス幅を変えても同等の効果が得られる。同様に、 $n = 3$ で行った処理を $n$ に変更すれば、 $2^n$ レベルの階調を表示することができる。

【0085】

【発明の効果】本発明によれば、メモリを内蔵したアクティブマトリクス液晶表示装置において多階調表示を実現する際に、より回路構成を簡易にできるために歩留まりを向上させ、ひいては製造コストを低下させることができる。

【0086】また、本発明の構成に、対向電極を形成し、その対向電極に印加される液晶駆動電圧の振幅は互いにほぼ等しく、フレーム期間が複数のサブフレームに

17

分割され、その分割されたサブフレームの期間の長さが異なることにより形成すると、より低消費電力が可能となる。また、前記対向電極に印加される液晶駆動電圧の振幅は互いに異なり、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さがほぼ等しいように形成すると、 $2^n$  レベルの階調を出そうとするときに、振幅だけで得ることができる。

【0087】さらに、各サブフレームの最初に液晶駆動電圧が中心電圧に等しくなるようにすると、画素電極の電圧が一定になり、第1のスイッチング手段の誤動作を防ぐことができるので、正確な表示ができる。

【図面の簡単な説明】

【図1】本発明における液晶表示装置の一実施例の全体構成を表すブロック図である。

【図2】本発明における液晶表示装置の一実施例において、データ信号線群に3個の表示データを印加する場合の画素回路50の構成を示すブロック図である。

【図3】図2の液晶表示装置の画素回路を実現する一回路図。

【図4】図1の液晶表示装置に印加する電圧の第1の信号波形を示すタイミング図。

【図5】図1の液晶表示装置に印加する電圧の第2の信号波形を示すタイミング図。

【図6】図1の液晶表示装置に印加する電圧の第3の信

18

号波形を示すタイミング図。

【図7】図1の液晶表示装置に印加する電圧の第4の信号波形を示すタイミング図。

【図8】本発明における液晶表示装置の一実施例の全体構成を表すブロック図である。

【図9】本発明における液晶表示装置の一実施例において、データ信号線群に3個の表示データを印加する場合の画素回路50の構成を示すブロック図である。

【図10】図9の液晶表示装置の画素回路を実現する一回路図。

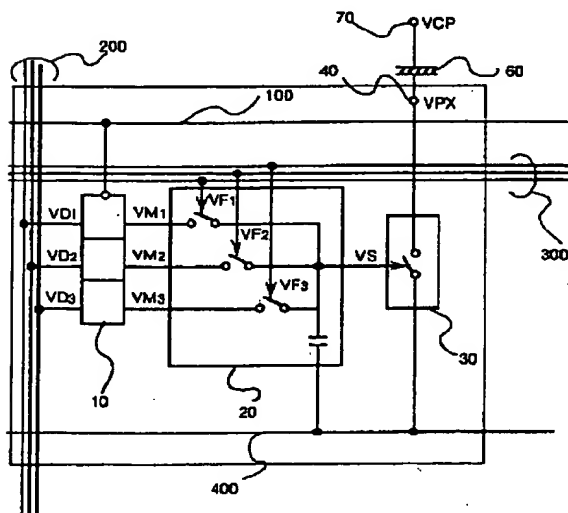
【図11】図8の液晶表示装置に印加する電圧の信号波形を示すタイミング図。

【符号の説明】

1…走査回路、2…データ回路、3…タイミング回路、4…中心電圧回路、5…液晶駆動交流電圧源、10…メモリ、11、12、13…メモリTFT、14、15、16…メモリ容量、20…サンプルホールド回路、21、22、23…サンプリングTFT、24…ホールド容量、30…第1のスイッチング手段、31、81、82、83、84、85、86、91…スイッチTFT、40…画素電極、50…画素回路、60…液晶、70…対向電極、80…選択回路、90…スイッチ、100…走査線、200…データ信号線群、300…タイミング線群、400…コモン線。

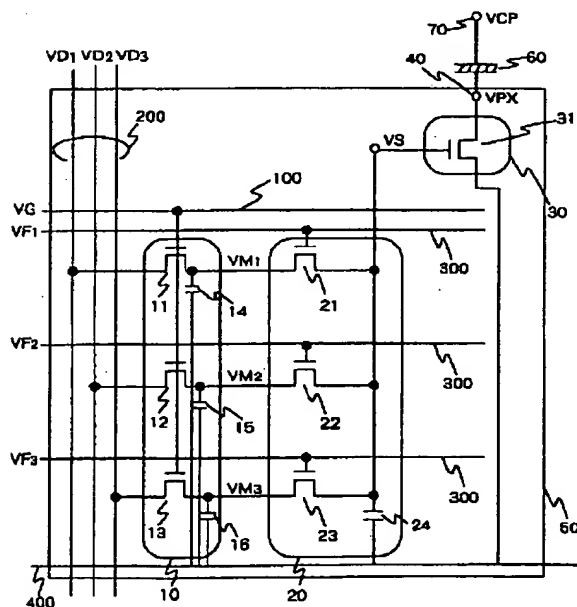
【図2】

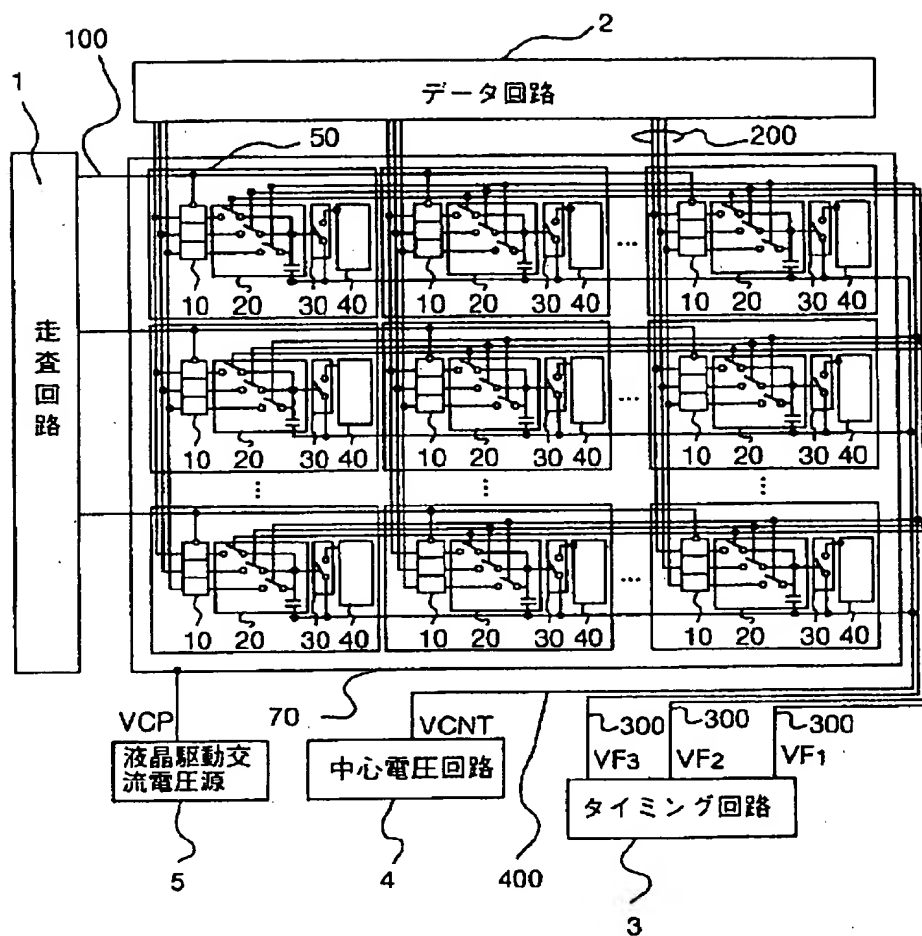
図 2



【図3】

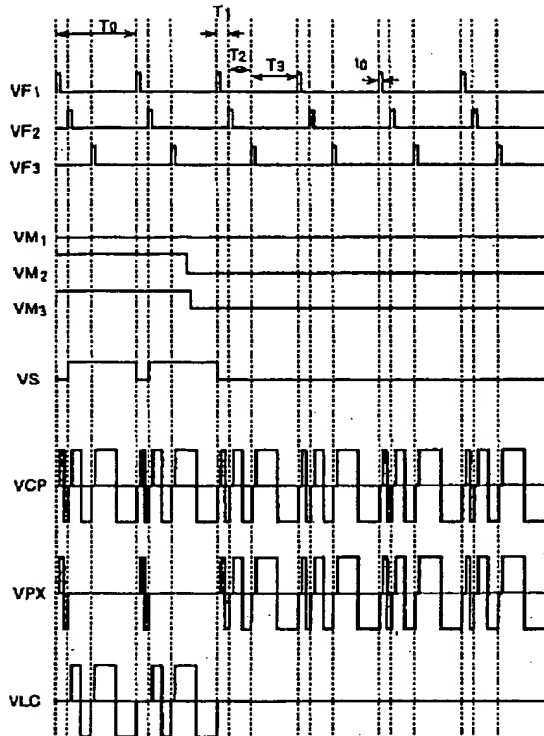
図 3





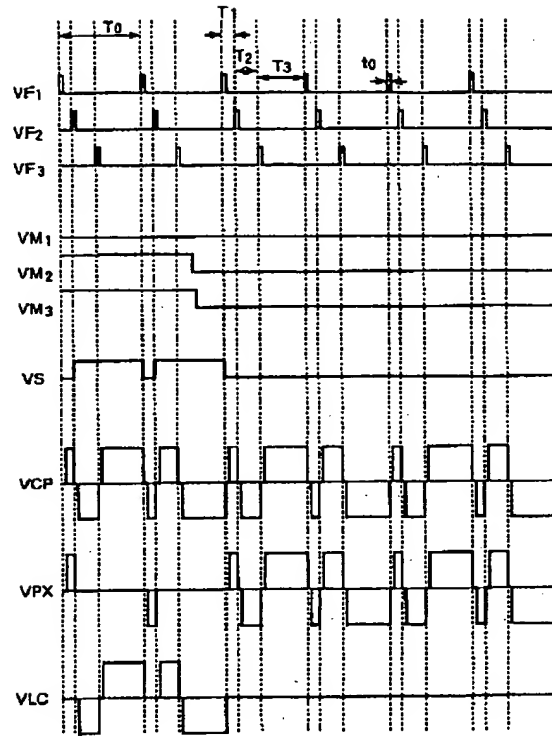
【図 4】

図 4



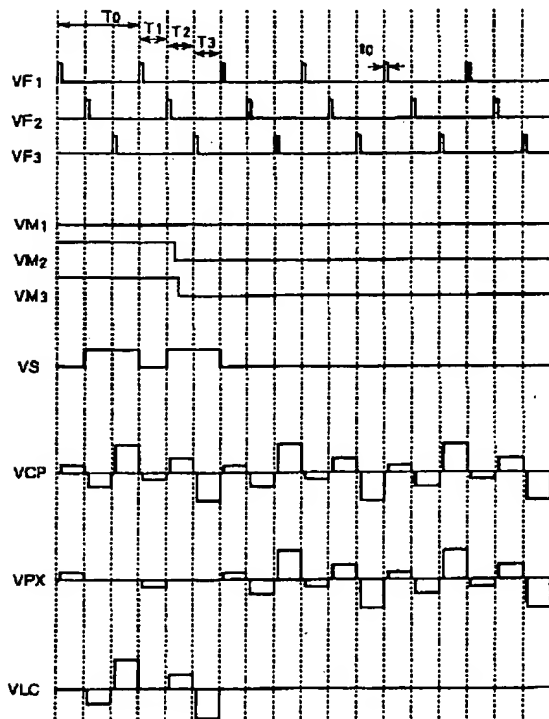
【図 5】

図 5



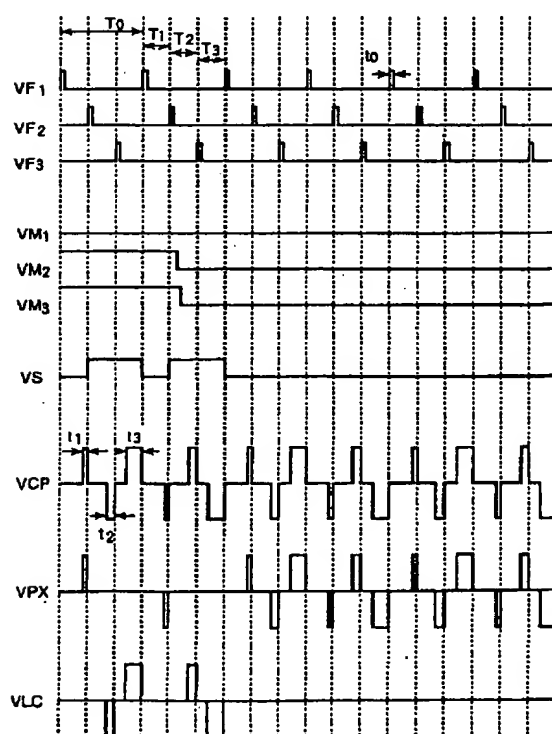
【図 6】

図 6



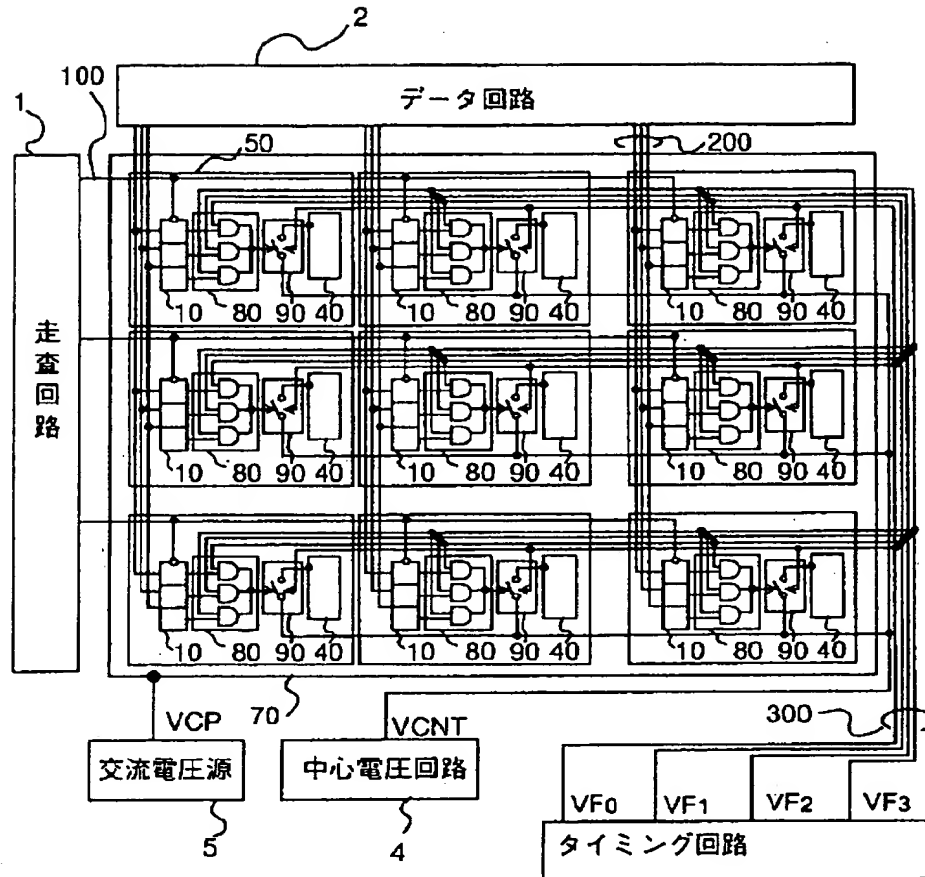
【図 7】

図 7



【図8】

図 8







フロントページの続き

(72)発明者 津村 誠

茨城県日立市大みか町七丁目 1 番 1 号 株  
式会社日立製作所日立研究所内